

#2  
5-8-02  
Mueller

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Tomio YAMASHITA**

Serial No.: **Not Yet Assigned**

Filed: **February 19, 2002**

For: **SEMICONDUCTOR DEVICE AND METHOD  
FOR MANUFACTURING SEMICONDUCTOR DEVICE**

J1017 U.S. PRO  
10/07635  
02/19/02

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

February 19, 2002

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-053772, filed on February 28, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

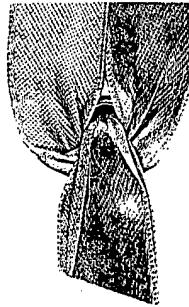
Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Ken-Ichi Hattori  
Reg. No. 32,861

Atty. Docket No.: **020167**  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
KH/yap/aoa



BEST AVAILABLE COPY

日本国特許庁  
JAPAN PATENT OFFICE

J11017 U.S. PRO  
10/076355  
02/19/02  


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

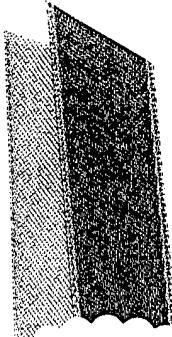
2001年 2月 28日

出願番号  
Application Number:

特願2001-053772

出願人  
Applicant(s):

三洋電機株式会社

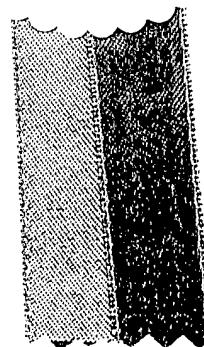
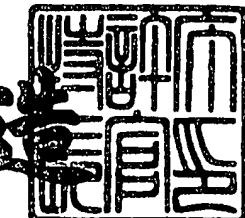


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年11月16日

特許庁長官  
Commissioner,  
Japan Patent Office

久川耕



出証番号 出証特2001-3101293

【書類名】 特許願  
 【整理番号】 NBC1002129  
 【提出日】 平成13年 2月28日  
 【あて先】 特許庁長官 殿  
 【国際特許分類】 H01L 21/60 301

## 【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

三洋電機株式会社内

【氏名】 山下 富生

## 【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

## 【代理人】

【識別番号】 100111383

## 【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 03-3837-7751 法務・知的財産部 東京事務所

## 【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上方に設けられた絶縁膜の開口溝内に充填される態様にて形成される配線を備える半導体装置であって、

前記配線には、前記開口溝の底から上面へと伸びる絶縁物が埋設されてなることを特徴とする半導体装置。

【請求項2】 前記絶縁物は、前記配線内に島状に形成されてなる請求項1記載の半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、

多層配線構造を備え、前記配線が下層配線層に形成されてなることを特徴とする半導体装置。

【請求項4】 前記配線が、外部電極端子としてのパッドである請求項1～3のいずれかに記載の半導体装置。

【請求項5】 半導体基板上方の絶縁膜に、一部突部が残る態様で開口溝を形成する工程と、

同開口された溝内に金属を充填する工程と、

前記絶縁膜上面をストップとして前記金属表面を平坦化する工程とを備える半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置及びその製造方法に係り、詳しくは外部電極端子としてのパッド等の配線がダマシン構造にて設けられてなる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年の半導体装置の高集積化、高密度化に伴い、半導体装置に用いる配線に対しても、その微細化及び高速化の要請はますます厳しいものとなってきた。

この高速化の要請を満たす配線材料として、それまで主として用いられてきたアルミニウムと比較してその抵抗が小さく、エレクトロマイグレーションの高寿命化を実現することのできる銅が注目されている。

#### 【0003】

この銅を材料として配線を形成する場合、その形成のし易さからダマシン法を用いることが多い。ダマシン法は、表面が平坦化された絶縁膜に溝を形成し、この溝内に金属材料を流し込んだ後、同絶縁膜表面の高さにて金属材料上面を平坦化することによって形成される。このように、加工の容易な絶縁膜に溝を形成し、同溝内に金属材料を流し込むダマシン法を用いることで、ドライエッチング等によっては加工のできない銅を用いた配線を容易に形成することができるようになる。

#### 【0004】

一方、上記金属材料の平坦化を的確に行う技術としては、通常、化学機械研磨(CMP: Chemical Mechanical Polish)法が用いられる。このCMP法は、エッチング手法と機械的な研磨手法とを組み合わせた技術であり、このCMP法を用いることでグローバルな平坦化を行うことができる。このように、ダマシン法を用いて配線を形成する際にCMP法を用いて平坦化を行うために、各層が好適に平坦化された半導体装置を製造することができるようになる。

#### 【0005】

##### 【発明が解決しようとする課題】

ところで、上記CMP法を用いてダマシン法による配線の形成を行う場合には、次のような問題を生じるおそれがある。すなわち、同半導体装置内の集積回路の配線の形成工程において図5に示されるような外部電極端子としてのパッドP(図中、P1～P3と表記)を製造する場合等、パッドPをダマシン法を用いて製造する場合には、パッドPが他の配線と比べて大きいことに起因して、その平坦性が確保できないという問題である。

#### 【0006】

このパッドPは、集積回路の形成されている基板と外部とを連結させるべく設けられる電極(本明細書では、この電極も「配線」と定義する)であり、外部と

つながるリードフレームLとワイヤwを介して連結される関係上、基板内の各素子と比べて、通常、そのサイズが大きく設定される。この関係を図6に模式的に示す。同図6に示されるように、パッドPのサイズBは、集積回路の各素子サイズAと比較して大きなものとなる。この図6は、両者の関係を模式的に示したものであり、実際の半導体装置においては、パッドのサイズBは、通常、素子サイズAの数百倍程度となる。

#### 【0007】

なお、下層のパッドP1やP2は、当該半導体装置の外部との接続するワイヤwと直接接続されるものではない。ただし、ワイヤwと直接接続される最上層のパッドP3との接続に際しての位置ずれの問題を回避する必要や上層配線層を形成する前に外部とのコンタクトをとることで当該装置のテストを行う必要などから、通常、パッドP3と同様の大きさにて形成される。

#### 【0008】

このようにサイズの大きなパッドPを、上記素子領域の形成工程と同時にダマシン法を用いて形成する等の場合には、絶縁膜に形成された溝内にパッドPとなる金属材料を流し込みその上面をCMP法にて平坦化する際に、CMP法特有のディッシングの問題が生じる。このディッシングは、CMP処理後、広い開口面積を有する溝内においては、流し込まれた金属の上面が絶縁膜の表面よりも下がってしまう現象である。このディッシングが生じると、半導体装置としての層の平坦性が失われるおそれがある。更には、このディッシングに起因して、上層でのリソグラフィ工程におけるフォーカスズレ等の問題が生じるおそれもある。

#### 【0009】

以下、こうしたディッシングによる平坦性の喪失や上層でのリソグラフィ工程におけるフォーカスズレ等、パッドをダマシン法にて形成する際に生じる諸問題について、図7及び8を参照して更に説明する。

#### 【0010】

このパッド形成工程としては、図7(a)に示すように、まず、基板101上に絶縁膜110を堆積した後、同絶縁膜110のパッド形成領域110hを開口する。更に、パッド形成領域110hに銅を埋め込むべく、基板1の上方から銅

111'を成膜する。

#### 【0011】

こうして銅111'を成膜した後、絶縁膜110をストップ膜としてCMPによって銅111'の上面を平坦化しつつ除去する。ただし、上述したように、このパッド形成領域110hは大きいため、ディッシングが生じる。すなわち、図7(b)に示すようにパッド形成領域110hの金属上面がCMP工程でエッチングされるために、形成されたパッド111の上面が絶縁膜110の上面と一致しないおそれがある。

#### 【0012】

更に、この状態で、このパッド111等の上層に新たな層を形成する多層構造を有する半導体装置にあっては、著しくその平坦性が損なわれるおそれがある。ここで、図7(c)及び図7(d)及び図8(a)に、例えば素子領域のコンタクト配線(プラグ)形成工程において、層間絶縁膜120を介してパッド111と上層とを連通させるべくコンタクトホール121やプラグ122を形成する工程を示す。また、図8(b)及び図8(c)に、例えば上層の配線層の製造工程において、パッド131を形成する工程を示す。

#### 【0013】

なお、上記パッドに限らず、ダマシン法を用いて絶縁物に形成された溝内に銅等、任意の金属を流し込むことで配線を形成する工程にあっても、こうした実情は概ね共通したものとなっている。

#### 【0014】

本発明は上記実情に鑑みてなされたものであり、その目的は、ダマシン法を用いて配線を形成する場合であれ、その平坦性を確保することのできる半導体装置及びその製造方法を提供することにある。

#### 【0015】

##### 【課題を解決するための手段】

以下、上記目的を達成するための手段及びその作用効果について記載する。

請求項1に記載の発明は、半導体基板上方に設けられた絶縁膜の開口溝内に充填される態様にて形成される配線を備える半導体装置であって、前記配線には、

前記開口溝の底から上面へと伸びる絶縁物が埋設されてなることをその要旨とする。

【0016】

上記構成では、配線の内部に溝底から上面へと伸びる絶縁物を備える。このため、同配線をダマシン法にて形成する場合であれ、ディッシング等の問題を好適に抑制することができ、ひいては、その平坦性を確保することのできる半導体装置を実現することができるようになる。

【0017】

請求項2記載の発明は、請求項1記載の発明において、前記絶縁物は、前記配線内に島状に形成されてなることをその要旨とする。

上記構成では、配線内の絶縁物を島状に形成するために、同配線を構成する導電物は全て電気的に導通されるようになる。このため、この配線の表面は導電物としての広い接触面積を持つこととなり、同配線と他の部材とを容易に電気的に接続することができるようになる。

【0018】

また、これら請求項1又は2記載の発明は、請求項3記載の発明によるように、多層配線構造を備え、前記配線が下層配線層に形成されてなる構成としてもよい。これにより、上層におけるリソグラフィ工程におけるフォーカスずれの影響等を的確に抑制することができるようになる。

【0019】

更に、これら請求項1～3のいずれかに記載の発明を、請求項4記載の発明によるように、前記配線が、外部電極端子としてのパッドである構成としてもよい。

【0020】

上述したようにパッドをダマシン法にて形成する場合には、ディッシングの問題が生じやすいために、このパッドに対して請求項1～3のいずれかに記載の半導体装置における配線構造を適用することで、これら発明の作用効果を好適に奏することができる。

【0021】

請求項5記載の発明は、半導体基板上方の絶縁膜に、一部突部が残る態様で開口溝を形成する工程と、同開口された溝内に金属を充填する工程と、前記絶縁膜上面をストップとして前記金属表面を平坦化する工程とを備えることをその要旨とする。

#### 【0022】

上記製造方法では、開口された溝内に金属を充填する工程に先立ち、絶縁膜に開口溝を形成する際に、一部突部が残るようにする。こうすることで、絶縁膜上面をストップとして金属表面を平坦化する際に、ディッシングの問題を好適に抑制することができるようになり、ひいては、ダマシン法を用いた場合であれ、半導体装置としての平坦性を確保することのできるようになる。

#### 【0023】

##### 【発明の実施の形態】

以下、本発明にかかる半導体装置の配線をパッド構造に具体化した一実施形態について図面を参照しつつ説明する。

#### 【0024】

図1は、本実施形態にかかる半導体装置のうち、パッド近傍の断面図である。同図1に示されるように、同半導体装置は、パッド11や31を備えている。すなわち、半導体基板1上の配線層にパッド11が、また同配線層の上層に形成される上層配線層にパッド31がそれぞれ形成されている。これら配線層間には、層間絶縁膜20が形成されている。また、層間絶縁膜20には、コンタクトホール21が開口され、同コンタクトホール21には、コンタクト配線（プラグ）22が形成されている。なお、上記各配線層や層間絶縁膜20は、基本的には、当該半導体装置に形成される図示しない集積回路の各配線層や層間絶縁膜の製造工程と同一の工程にて製造されたものである。

#### 【0025】

ここで、パッド11、31は、それぞれ絶縁膜10や絶縁膜30の開口部にダマシン法にて形成されている。更に、これらパッド11、31は、銅等の金属で形成された導電部11m内に、同パッド11、31の底面から上面へ伸びる複数の島状絶縁膜11iを備えて構成されている。

## 【0026】

図2は、このパッド11の平面図である。なお、パッド31も基本的に同様の構成を有するために、その平面図についてはこれを割愛する。同図2に示されるように、このパッド11の内部には、絶縁物が島状絶縁膜11iとして形成されているために、導電部11mはすべて電気的に導通される構成となる。換言すれば、パッド11内に設けられた絶縁物によって同パッド11内の導電物の一部が他の部分と電気的に遮断されることがない。

## 【0027】

ここで、パッド11を上層のパッド31と同等の大きさにて形成したことで、位置ずれなどに対してシビアな要求が生じることもなく、パッド31と容易に接続させることができる。

## 【0028】

また、パッド11、31に対して島状絶縁膜11i、31iを設けたために、ダマシン法にて導電部11m、31mを形成する場合であれ、CMP工程における上述したディッシングの問題を的確に抑制することができるようになる。したがって、当該半導体装置の集積回路の配線層をダマシン法にて製造する際に、同時にこれらパッド11、31を製造することも可能となる。そして、この際ディッシングの問題を的確に抑制することができるため、CMPにて同装置をグローバルに平坦化することもできる。

## 【0029】

更に、パッド11、31に絶縁物を島状絶縁膜11i、31iとして形成するために、パッド11及びパッド31間や、パッド31及び外部と導通するワイヤ間を好適に接続することができる。すなわち、パッド11及び31に関しては、各プラグ22が導電部11m及び31mと接続されることで、パッド11及び31を電気的に接続させることができるとなる。また、パッド31及びワイヤ間にに関しては、島状絶縁膜11iの面積をワイヤとパッド31との接触面の面積よりも小さく設定しておくことで、パッド31及びワイヤ間を良好に電気的に接続させることが可能となる。

## 【0030】

なお、上記パッド11を上層のパッド31と同様に形成することで、層間絶縁膜20等を形成する以前に、パッド11をワイヤ等を介して外部の試験装置と接続させてパッド11製造工程までに形成された配線層のテストを行うこともできる。

#### 【0031】

ここで、本実施形態にかかる半導体装置の製造工程について、図3及び図4に基づいて説明する。なお、図3及び図4においても先の図1と同様、半導体装置のパッド近傍のみを図示したが、実際には、これら図3及び図4に示される製造工程は、集積回路の各配線層や層間絶縁膜の形成工程と同一の工程が想定されている。

#### 【0032】

この図3(a)及び図3(b)に示す工程は、図示しない集積回路の第1の配線層をダマシン法にて製造する工程に対応する。すなわち、図3(a)に示すように、基板1上に、絶縁膜10を形成後、パッド形成領域11hに対応して同絶縁膜10を開口する。この際、上記島状絶縁膜11i部分についてはこれを残すべく、上記導電部11mに対応する部分のみ除去する。更に、こうして開口された部分に対して金属11m'を埋め込むべく、同金属11m'を基板1の上方から成膜する。

#### 【0033】

この金属11m'としては、例えば銅やアルミニウム合金、タンゲステン等を用いればよい。また、この成膜法としては、例えばメッキ法や高温スパッタ法、CVD法を用いることができる。

#### 【0034】

こうして金属11m'を成膜した後、図3(b)に示されるように、絶縁膜10の上面をストップとして、金属11m'の上面をCMP法にて除去し、平坦化する。これにより、導電部11m及び島状絶縁膜11iからなるパッド11が形成される。

#### 【0035】

続く、図3(c)、並びに図4(a)～図4(c)に示す工程は、上記集積回

路の第1の配線層と上層の配線層との間の層間絶縁膜を形成する工程や、同層間絶縁膜にダマシン法にてプラグを形成する工程に対応する。

#### 【0036】

すなわち、絶縁膜10やパッド11の上方に層間絶縁膜20を形成し(図3(c))、同層間絶縁膜20のうち、導電部11mに対応した領域にコンタクトホール21を形成する(図4(a))。更に、このコンタクトホール21に金属22'を埋め込むべく、同金属22'を成膜し(図4(b))、層間絶縁膜20をストップとして同金属22'上面をCMPによって除去し平坦化する(図4(c))。こうしてコンタクトホール21にプラグ22が形成される。

#### 【0037】

なお、上記金属22'の種類や、同金属22'の成膜法に関しては、上記金属11m'の種類や成膜法と同様であってよい。

こうして、層間絶縁膜10やコンタクトホール21、プラグ22等を形成した後、これらの上層配線層の形成工程において上記パッド31を形成する。

#### 【0038】

以上説明した本実施形態によれば、以下の効果が得られるようになる。

(1) パッド11、31に島状絶縁膜11i、31iを形成した。これにより、CMP工程において、ディッシングの問題を好適に抑制することができる。更に、パッド11、31内の絶縁物を島状絶縁膜11i、31iとして形成することによって各導電部11m、31mが全て電気的に接続を維持することができるため、パッド11、31の配線としての信頼性を好適に維持することもできる。

#### 【0039】

(2) パッド11をパッド31と同一のサイズにて形成した。このため、パッド11及びパッド31間の接続に関して位置ずれ等のシビアな制約が生じることを回避することができる。更に、このパッド11をパッド31と同様に形成したために、このパッド11をワイヤ等を介して外部の試験装置と接続することで、パッド11の製造工程までに形成された配線層のテストを行うこともできる。

#### 【0040】

なお、上記実施形態は、以下のように変更して実施してもよい。

・下層の配線層に対応したパッドに関しては、上層配線層に対応したパッドとの接続を的確に行うことができるなら、上記実施形態において示した構造をとることなく、小さく形成することでディッシングを抑制するようにしてもよい。

#### 【0041】

・代わりに、下層の配線層に対応したパッドのみに、本実施形態で示したパッド構造を適用するようにしてもよい。これにより、ダマシン法を用いて同パッドを形成した場合であれ、ディッシングの問題を抑制又は回避することができ、ひいては、半導体装置の平坦化を促進することができる。この際、上層のパッドに関しては、ダマシン法以外の手法にて形成するなどすればよい。

#### 【0042】

・島状絶縁膜11iや31iの形状は、先の図2に示したようにその上面図が正方形のものにも限られず、例えばストライプ状等、適宜変更してもよい。

・更に、島状絶縁膜11iや31iの代わりに、例えば、円筒形等、任意の形状の絶縁物を形成することで、パッド内部の一部の導電部が他の部分との電気的な導通を維持することができなくなるとしても、ディッシングを抑制又は回避することはできる。

#### 【0043】

・上記実施形態やその変形例のように2層の配線層を備える半導体装置にも限られず、単層構造を含む任意の数の層を備える半導体装置においても本実施形態やその変形例のパッド構造やその製造方法を適用することができる。また、この際、必ずしも全てのパッドの内部に絶縁膜を形成する必要もなく、ダマシン法にて製造するパッドのみを上記実施形態やその変形例において示した構造とするなどしてもよい。

#### 【0044】

・上記実施形態及びその変形例においては、集積回路内の各配線層の製造工程を利用してパッドを形成したが、これにも限られない。

・また、パッドにも限らず、ダマシン法にて配線を形成する際にディッシングが生じるおそれのある場合には、本発明の半導体装置やその製造方法は有効である。例えば、パッド11及びパッド31間等、隣接した配線層に対応したパッ

ド間を上記実施形態において例示したプラグによって接続する代わりに、層間絶縁膜に上層及び下層のパッドと同一の大きさの開口溝を、一部突部が残るようにして形成した後、同開口溝に流し込まれた金属によって接続するようにしてもよい。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の一実施形態の断面構造を示す断面図。

【図2】同実施形態のパッド構造の平面図。

【図3】同実施形態の半導体装置の製造手順を示す断面図。

【図4】同実施形態の半導体装置の製造手順を示す断面図。

【図5】半導体装置のパッド周辺を示す図。

【図6】同パッド及び集積回路内の素子を示す断面図。

【図7】ダマシン法にてパッドを形成する際に生じる諸問題を説明するための断面図。

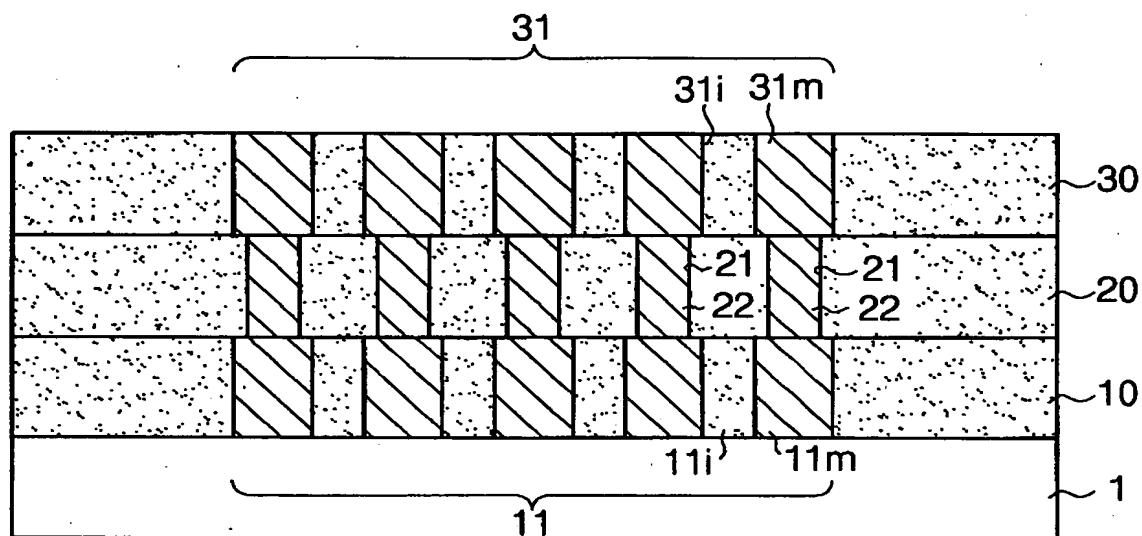
【図8】ダマシン法にてパッドを形成する際に生じる諸問題を説明するための断面図。

【符号の説明】

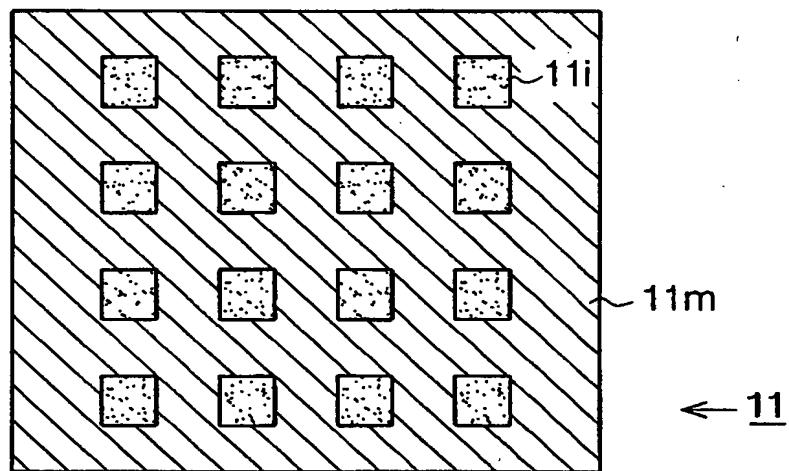
1, 101…基板、10, 110…絶縁膜、11, 31, 111, 131…パッド、11i, 31i…島状絶縁膜、11m, 31m…導電部、20, 120…層間絶縁膜、21, 121…コンタクトホール、22, 122…プラグ、30…絶縁膜。

【書類名】 図面

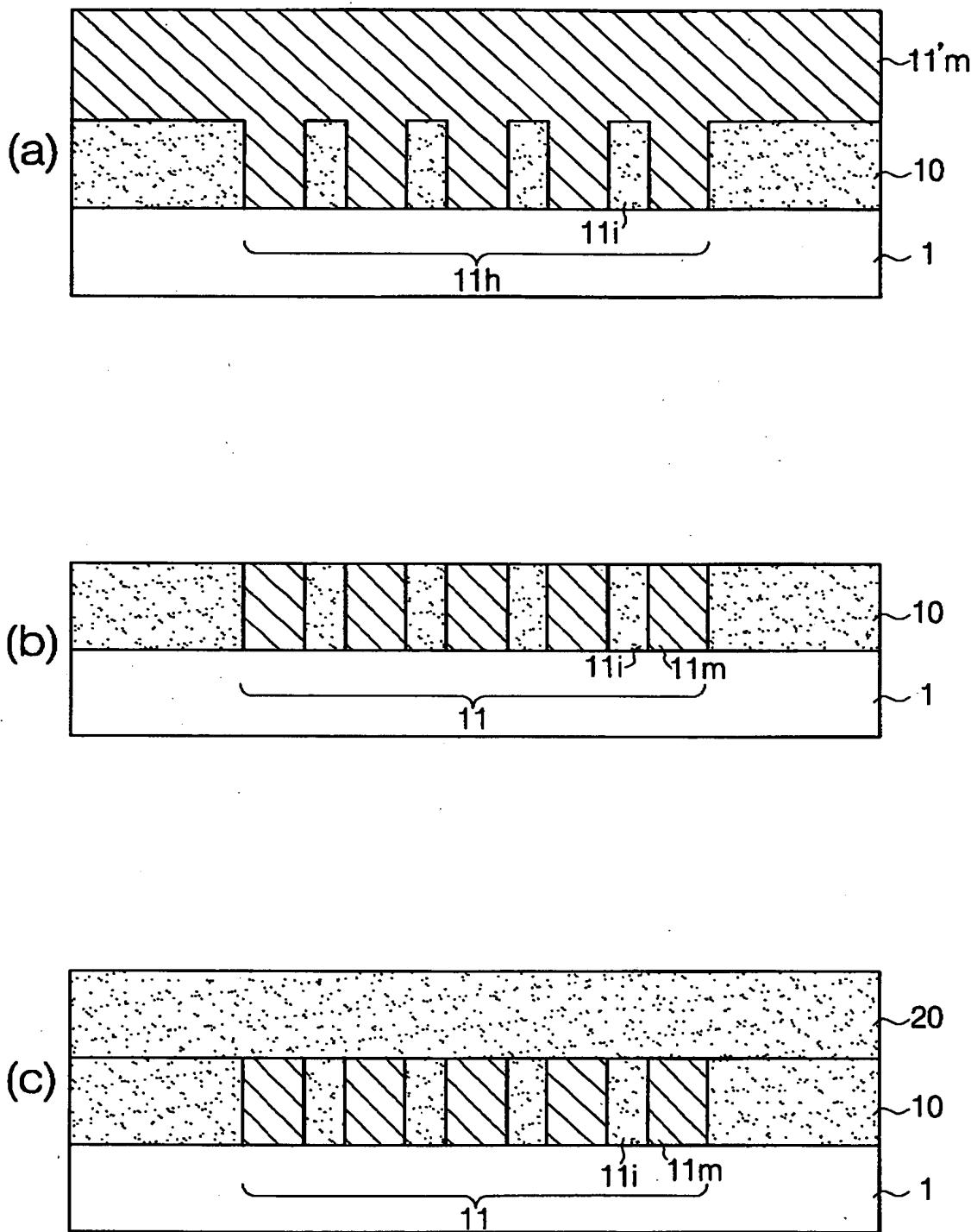
【図1】



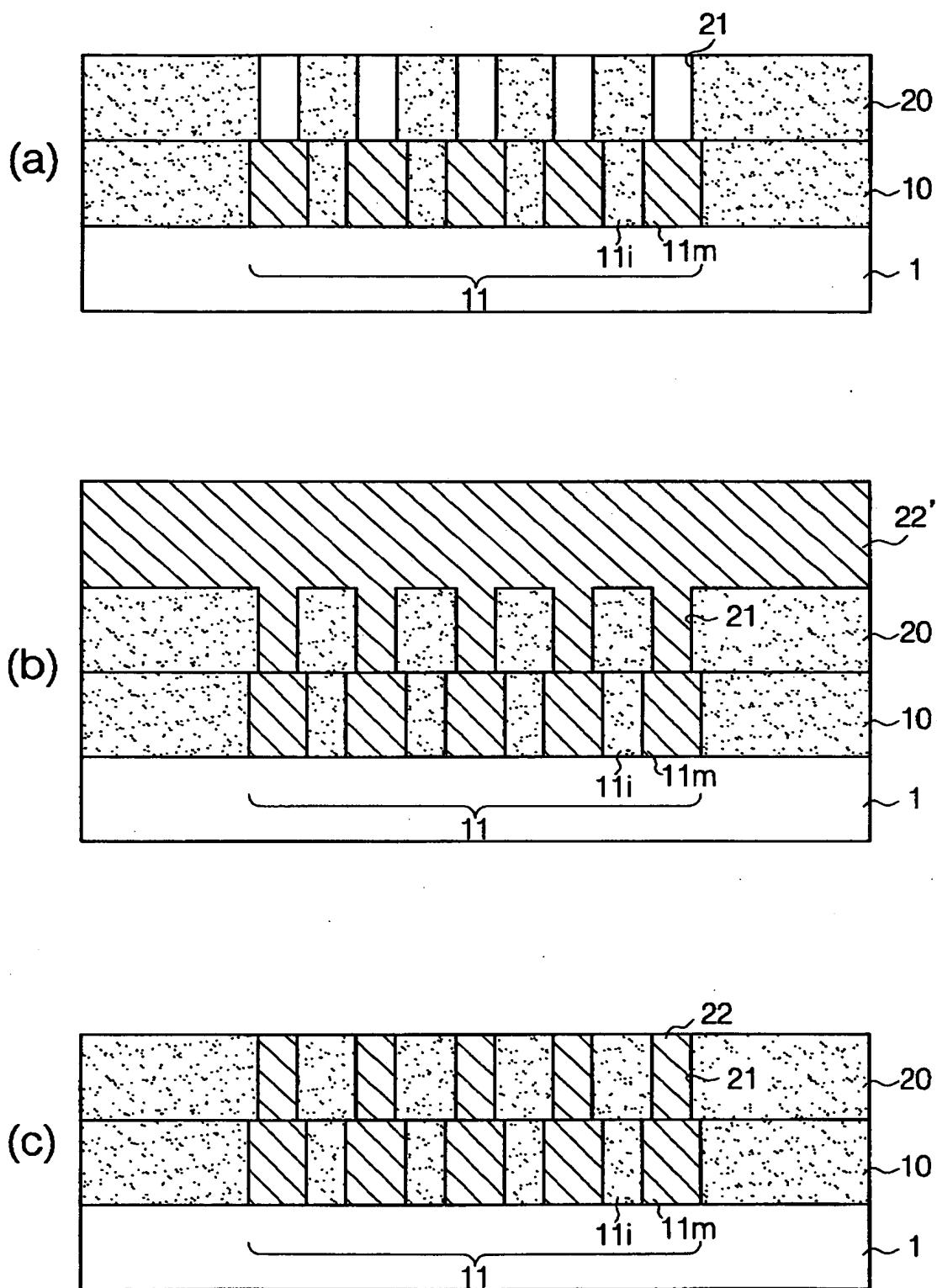
【図2】



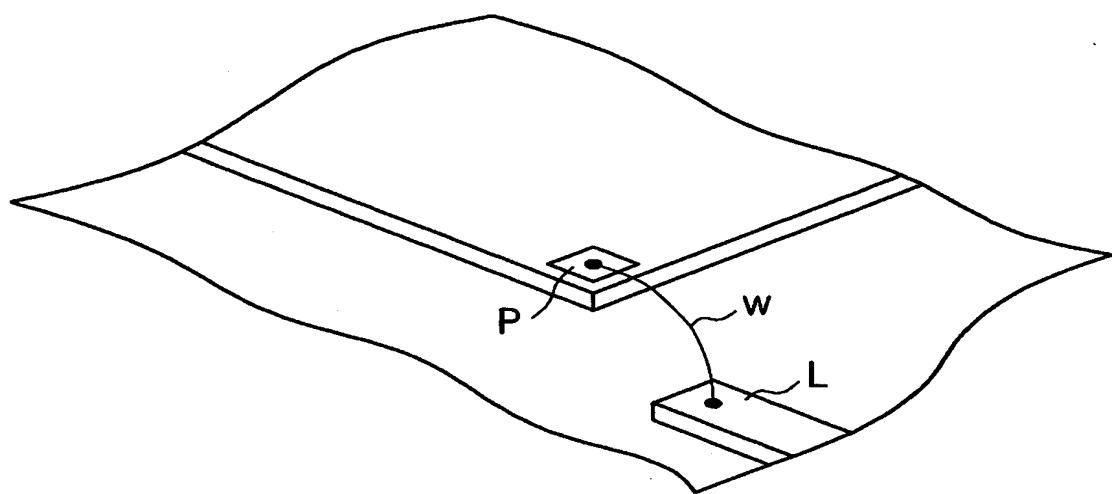
【図3】



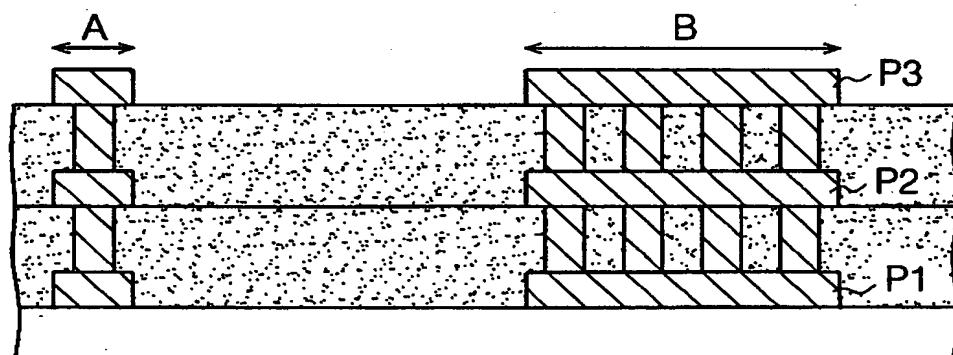
【図4】



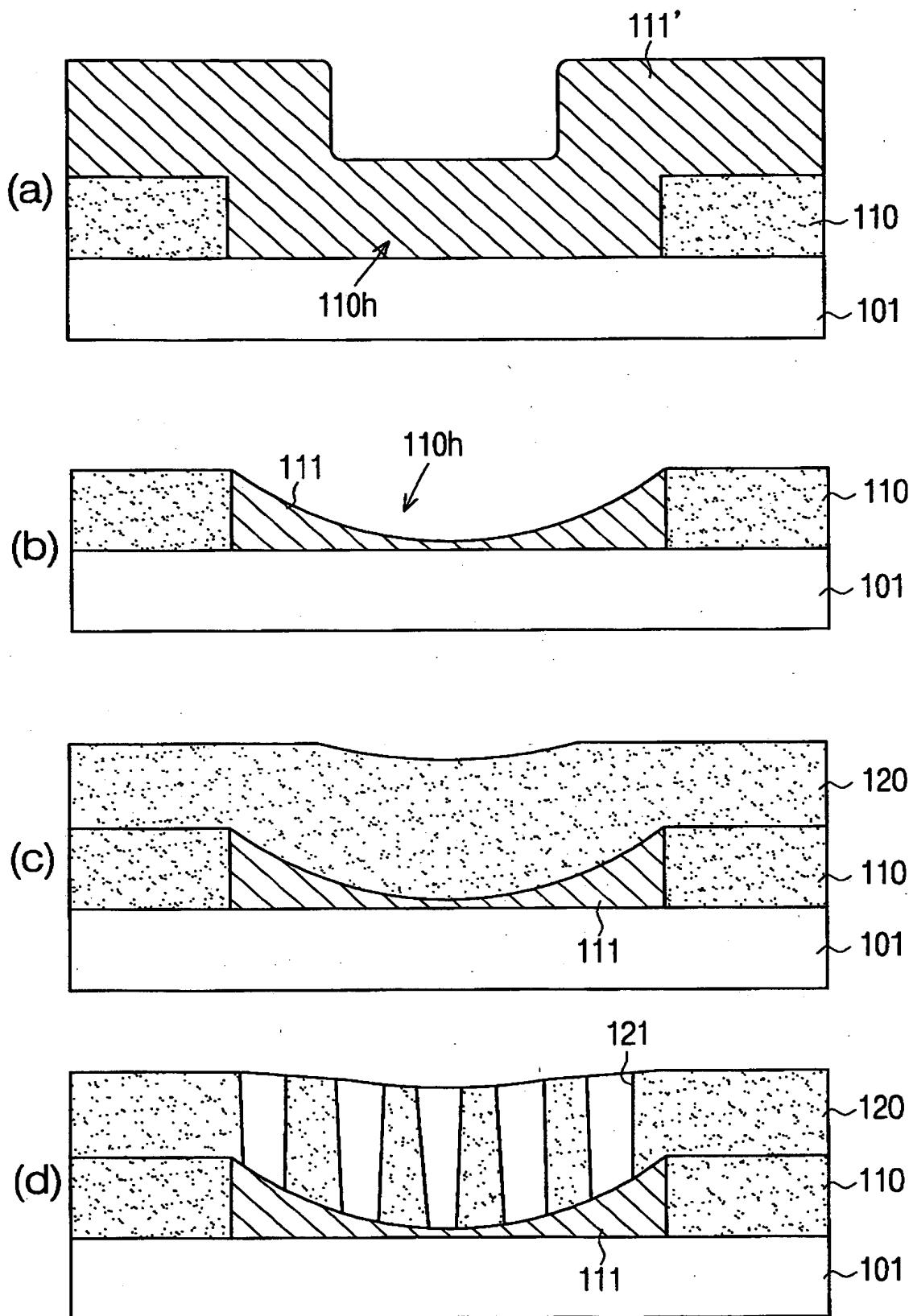
【図5】



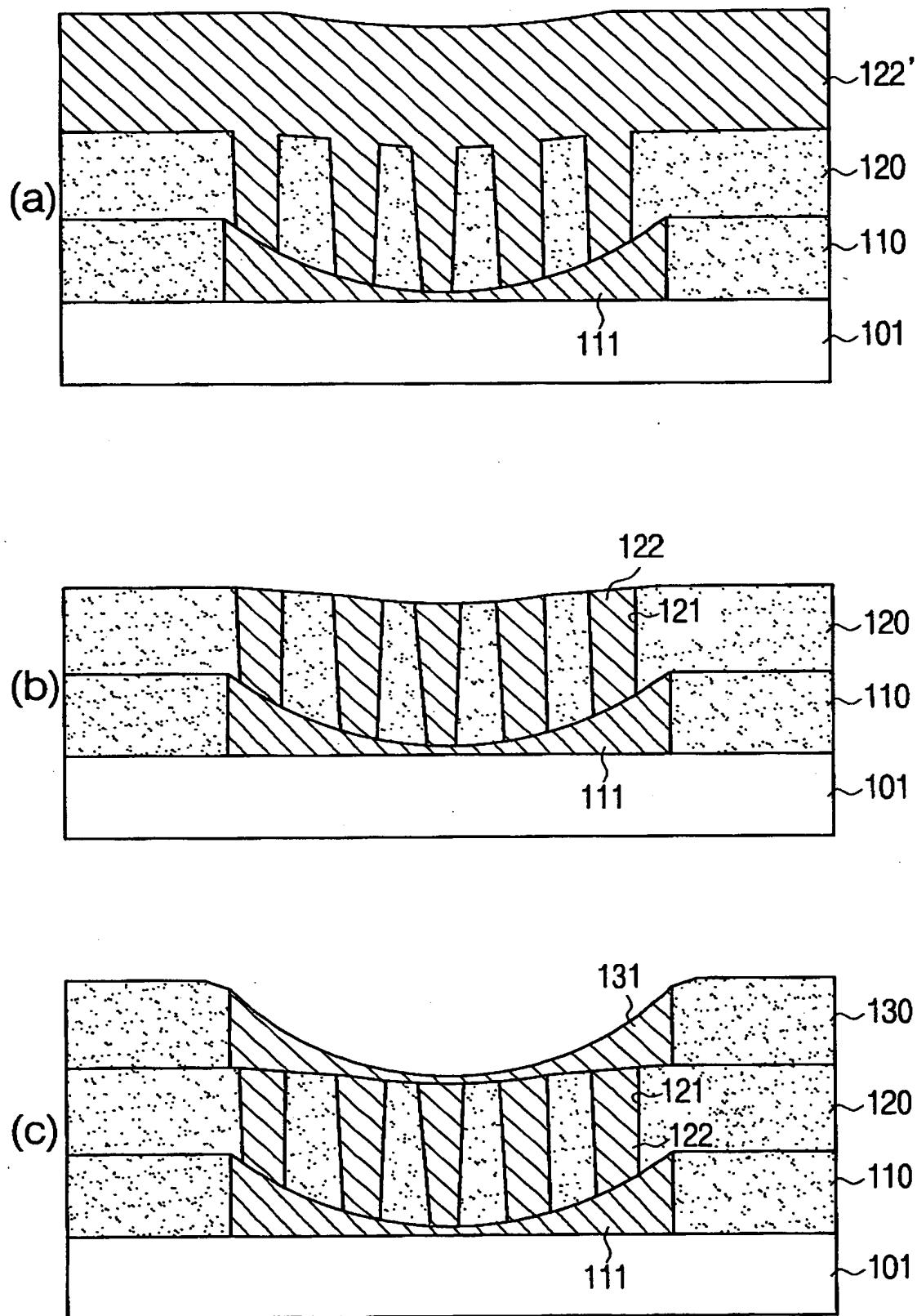
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 ダマシン法を用いて配線を形成する場合であれ、その平坦性を確保することのできる半導体装置及びその製造方法を提供する。

【解決手段】 層間絶縁膜20の上下の配線層には、パッド11やパッド31が形成されている。これらパッド11, 31は、絶縁膜10, 30を開口して金属を流し込んだ後、絶縁膜10, 30上面をストップとしてCMP法にて同金属上面を平坦化しつつ除去することで形成される。ここにおいて、絶縁膜10, 30への開口に際しては、CMP工程における平坦化を好適に行うこと可能とすべく、島状絶縁膜11i, 31iとなる部分の絶縁膜はエッチング除去される対象から外される。

【選択図】 図1

特2001-053772

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社